

Japan Patent Office

This is to certify that the annexed is a true copy of the following application as filed with this Office.

Date of Application: November 21, 2002

Application Number: Japanese Patent Application
No.2002-338129

[ST.10/C]: [JP2002-338129]

Applicant(s): RICOH COMPANY, LTD.

September 3, 2003

Commissioner,
Japan Patent Office

Yasuo Imai (Seal)

Certificate No.2003-3071861



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 1 月 2 1 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 3 3 8 1 2 9
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 3 8 1 2 9]

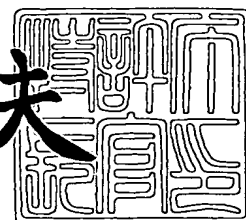
出 願 人 株 式 会 社 リ コ ー
Applicant(s):



2 0 0 3 年 9 月 3 日

特 許 庁 長 官
Commissioner,
Japan Patent Office

今 井 康 夫



出 証 番 号 出 証 特 2 0 0 3 - 3 0 7 1 8 6 1

【書類名】 特許願

【整理番号】 185690

【提出日】 平成14年11月21日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 1/26

【発明の名称】 P W M信号発生回路

【請求項の数】 3

【発明者】

 【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

 【氏名】 松島 誠

【特許出願人】

 【識別番号】 000006747

 【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号

 【氏名又は名称】 株式会社リコー

【代理人】

 【識別番号】 100062144

 【弁理士】

 【氏名又は名称】 青山 葆

【選任した代理人】

 【識別番号】 100086405

 【弁理士】

 【氏名又は名称】 河宮 治

【手数料の表示】

 【予納台帳番号】 013262

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【包括委任状番号】 9808860

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 P W M信号発生回路

【特許請求の範囲】

【請求項 1】 デジタル信号を出力する回路素子だけで構成され、
出力する P W M信号を、周期的にアクティブに切り換える第 1 カウンタ回路と

、
上記第 1 カウンタ回路によりアクティブに切り換えられた P W M信号を上記各
周期内でノンアクティブに切り換える第 2 カウンタ回路であって、 P W M信号が
アクティブに切り換ってからノンアクティブに切り換えるまでの期間を増減させ
る第 2 カウンタ回路とで構成される P W M信号発生回路。

【請求項 2】 請求項 1 に記載の P W M信号発生回路において、
上限値及び下限値の第 1 特定手段を備え、

上記第 2 カウンタ部は、 P W M信号がアクティブに切り換ってからノンアクテ
ィブに切り換えるまでの期間を上記第 1 特定手段により特定された上限値から下
限值の間で周期的に増減させる P W M信号発生回路。

【請求項 3】 請求項 2 に記載の P W M信号発生回路において、
第 1 予定時間及び第 2 予定時間の第 2 特定手段とを備え、
上記第 2 カウンタ部は、 P W M信号がアクティブに切り換ってからノンアクテ
ィブに切り換えるまでの期間を、当該期間が上記第 1 特定手段により特定された
上限値になり、かつ、上記第 2 特定手段により特定された第 1 予定時間の経過し
た後に上記期間を減少し始め、上記期間が上記第 1 特定手段により特定された下
限值になり、かつ、上記第 2 特定手段により特定された第 2 予定時間が経過する
のを待ってから増加する P W M信号発生回路。

【発明の詳細な説明】

【 0 0 0 1】

【発明の属する技術分野】

本発明は、発光ダイオード等への P W M信号発生回路に関する。

【 0 0 0 2】

【従来の技術】

図10は、従来のPWM信号発生回路200を採用する発光ダイオード102の発光回路C4を備える携帯電話機A2の構成を示す図である。携帯電話機A2は、上記発光回路C4の他に、中央演算処理装置であるCPU150、発光回路C4の制御プログラム等を格納しているROM151、各プログラム実行時にワークメモリとして使用するRAM152、送受信部153、並びに、液晶パネル、テンキー、マイク及びスピーカ等で成る操作部154で構成される。

【0003】

CPU150は、相手からの通話信号の着信時に、発光回路C2に備える着信ランプである発光ダイオード102を波状発光させる。ここで、波状発光とは、発光ダイオードの発光量を滑らかに増減させる発光方式のことを言う。

【0004】

具体的には、CPU150は、発光回路C4に所定の周期で増減する4ビットのデジタル信号を出力する。発光回路C4を構成するPWM信号発生回路200は、CPU150から出力されるデジタル信号の値に応じて決まるPWM信号をNチャンネル型MOSFET101のゲートに印加する。FET101は、入力されるPWM信号がアクティブ、即ち、発光回路C4の場合、Highレベルの時にオンして、電源電圧Vccの印加されている発光ダイオード102を発光させる。

【0005】

PWM信号発生回路200を構成するDAC201は、3Vで駆動され、上側電圧VRTとして2Vが入力され、下側電圧VRBとして1Vが入力されている。DAC201は、図10の(b)に示すように、携帯電話機本体のCPU150から入力される4ビットのデジタル信号の値(0000~1111)に応じたアナログ信号Va(1V~2V)を出力する。三角波発生器202は、所定の周波数の三角波TWを出力する。比較器203は、図10の(c)に示すように、上記三角波発生器202の出力する三角波信号TWからDAC201の出力するアナログ信号Vaを差し引き、差の正負に応じてHighレベル又はLowレベルのPWM信号を出力する。

【0006】

なお、上述する発光回路 C 4 は、文献公知発明に係るものではない。

【0007】

【発明が解決しようとする課題】

上記構成の発光回路 C 4 において、発光ダイオード 102 を波状発光、即ち、ある期間 T の間に滑らかに点灯し、更に滑らかに消灯させるには、CPU 150 が、出力する 4 ビットのデジタル信号の値を $T/2$ の時間内で徐々に増加した後、今度は $T/2$ の時間内でデジタル信号の値を徐々に減少させる制御プログラムを実行することが必要になる。この場合、CPU 150 は、その他の着信処理（操作部 154 を構成する液晶パネルの表示制御等）に並列して上記制御プログラムを実行する必要が生じ、負担が大きくなる。このため、スムーズな着信処理を実現するには、上記発光ダイオードの波状発光を行わない発光回路を備える携帯電話機用の CPU に比べて、高速で動作するがコスト高な CPU が必要になる。

【0008】

上記発光回路 C 4 において使用する PWM 信号発生回路 200 では、着信が無く、発光ダイオード 102 を発光させる必要の無い時でも、節電機能等により電源がオフされない限り、駆動電圧 3 V を消費する。また、回路内でアナログ信号を処理する箇所があるため、出力される PWM 信号にばらつきが生じやすい。

【0009】

本発明は、低消費電力型で、かつ、同一条件下において、従来の PWM 信号発生回路 200 に比べて携帯電話機 A 2 本体の CPU 150 の処理能力の向上を必要とせずに、所定の周期 T の間において、より柔軟に、所定の速さでデューティ比を増減させる安定した PWM 信号を出力する PWM 信号発生回路を提供することを目的とする。

【0010】

【課題を解決するための手段】

本発明の第 1 の PWM 信号発生回路は、デジタル信号を出力する回路素子だけで構成され、出力する PWM 信号を、周期的にアクティブに切り換える第 1 カウンタ回路と、上記第 1 カウンタ回路によりアクティブに切り換えられた PWM

信号を上記各周期内でノンアクティブに切り換える第 2 カウンタ回路であって、P W M 信号がアクティブに切り換ってからノンアクティブに切り換えるまでの期間を増減させる第 2 カウンタ回路とで構成される。

【 0 0 1 1 】

本発明の第 2 の P W M 信号発生回路は、上記第 1 の P W M 信号発生回路において、上限値及び下限値の第 1 特定手段を備え、上記第 2 カウンタ部は、P W M 信号がアクティブに切り換ってからノンアクティブに切り換えるまでの期間を上記第 1 特定手段により特定された上限値から下限値の間で周期的に増減させることを特徴とする。

【 0 0 1 2 】

本発明の第 3 の P W M 信号発生回路は、上記第 2 野 P W M 信号発生回路において、第 1 予定時間及び第 2 予定時間の第 2 特定手段とを備え、上記第 2 カウンタ部は、P W M 信号がアクティブに切り換ってからノンアクティブに切り換えるまでの期間を、当該期間が上記第 1 特定手段により特定された上限値になり、かつ、上記第 2 特定手段により特定された第 1 予定時間の経過した後に上記期間を減少し始め、上記期間が上記第 1 特定手段により特定された下限値になり、かつ、上記第 2 特定手段により特定された第 2 予定時間が経過するのを待ってから増加することを特徴とする。

【 0 0 1 3 】

【発明の実施の形態】

図 1 は、実施の形態にかかる P W M 信号発生回路 1 0 0 を用いた発光回路 C 1 を備える携帯電話機 A 1 の構成図である。携帯電話機 A 1 は、上記発光回路 C 1 の他に、C P U 1 5 0、送受信部 1 5 3 において着信が検知された場合に実行するプログラム等を記憶している R O M 1 5 1、プログラム実行時にワークメモリとして使用する R A M 1 5 2、送受信部 1 5 3、並びに、液晶パネル、テンキー、マイク及びスピーカ等で成る操作部 1 5 4 で構成される。なお、従来技術の欄で説明した図 1 0 の (a) に示す携帯電話機 A 2 の構成物と同じ物には同じ参照番号を付して表している。

【 0 0 1 4 】

発光回路 C 1 は、C P U 1 5 0 が所定の周期で増減するデジタル信号を出力しなくても、必要な動作パラメータ（勾配設定値、上限値、下限値、第 1 予定値、第 2 予定値）を特定するだけで自動的に所定の周期で発光ダイオード 1 0 2 の発光量を増減させる。なお、上記動作パラメータの特定は、C P U 1 5 0 等の外部から設定する方法に限定されず、発光回路 C 1 の内部において予定値に設定する構成を採用しても良い。

【0015】

具体的には、C P U 1 5 0 は、発光回路 C 1 の動作パラメータとして、発光ダイオード 1 0 2 の滑らかな点灯及び消灯の緩急を設定する勾配設定値（8 ビットデータ）、発光ダイオード 1 0 2 の発光デューティ比の上限値及び下限値、並びに、発光ダイオード 1 0 2 の発光デューティ比が最大値又は最小値になってから、発光デューティ比を減少又は増加させ始めるまでの時間（第 1 及び第 2 予定時間）を定める第 1 予定値及び第 2 予定値の情報を出力すると共に、所定の基準クロック信号 C L K を出力する。なお、基準クロック信号 C L K は、発光回路 C 1 内部又は C P U 1 5 0 以外の外部で生成する構成を採用しても良い。

【0016】

発光回路 C 1 は、本発明の実施の形態にかかる P W M 信号発生回路 1 0 0 及び、上記 P W M 信号発生回路 1 0 0 より出力される P W M 信号をゲートに受ける N チャンネル型 M O S F E T 1 0 1 と当該 F E T 1 0 1 のドレイン電極と電源電圧 V c c の間に接続される発光ダイオード 1 0 2 とで構成される。P W M 信号がアクティブ、即ち、発光回路 C 1 の場合、H i g h レベルの時、F E T 1 0 1 がオンして発光ダイオード 1 0 2 が発光する。また、P W M 信号がノンアクティブ、即ち、発光回路 c 1 の場合、L o w レベルの時、F E T 1 0 1 がオフして発光ダイオード 1 0 2 が消灯する。

【0017】

P W M 信号発生回路 1 0 0 は、勾配設定値の値に応じた速さ（テンポ又はリズム）で発光ダイオード 1 0 2 の発光デューティ比を上限値にまで増加させる。発光ダイオード 1 0 2 の発光デューティ比が上限値に至った場合には、第 1 予定値の分だけ後に説明するカウンタ（4 f）がカウントアップするまでの時間（第 1

予定時間) だけ、その状態を保ち、その後、上記勾配設定値で定まる速さで発光ダイオード 1 0 2 の発光デューティ比が下限値になるまで減少させ、発光デューティ比が下限値に至った場合には、第 2 予定値の分だけ後に説明するカウンタ (4 i) がカウントアップするまでの時間 (第 2 予定時間) だけ、その状態を保ち、その後、再び、上記勾配設定値で定まる速さ (テンポ又はリズム) で発光ダイオード 1 0 2 の発光デューティ比を増加させて、上述した発光デューティ比の制御を継続して行う。

【0 0 1 8】

図 2 は、P W M 信号発生回路 1 0 0 の構成を示す図である。P W M 信号発生回路 1 0 0 は、デジタル信号を出力する回路素子だけで構成され、出力する P W M 信号を、周期的にアクティブに切り換える第 1 カウンタ回路 C 2 と、上記第 1 カウンタ回路によりアクティブに切り換えられた P W M 信号を上記各周期内でノンアクティブに切り換える第 2 カウンタ回路であって、P W M 信号がアクティブ (本回路では H i g h レベル) に切り換ってからノンアクティブ (本回路では L o w レベル) に切り換えるまでの期間を増減させる第 2 カウンタ回路 C 3 とで構成される。

【0 0 1 9】

4 ビットカウンタ部 1 は、基準クロック信号 C L K に同期して動作し、カウント開始時に H i g h レベルのパルス状のセット信号 (1 ビットデータ) を出力すると共に、随時カウント値 (4 ビットデータ) を出力する。8 ビットカウンタ部 2 は、基準クロック信号 C L K に基づいて動作し、カウント値 (8 ビットデータ) が C P U 1 5 0 より入力される勾配設定値 (8 ビットデータ) と一致した時に H i g h レベルのパルス状のトリガ信号 (1 ビットデータ) を出力すると共に、カウント値をリセットする。4 ビットアップ／ダウンカウンタ 3 は、上記 8 ビットカウンタ部 2 から出力される H i g h レベルのパルス状のトリガ信号 (1 ビットデータ) の入力に応じてカウント動作を行い、外部より入力されるアップ／ダウン制御信号の値が H i g h レベルの時にはアップカウンタとして機能し、L o w レベルの時にはダウンカウンタとして機能する。

【0 0 2 0】

4ビットレジスタ部4は、上記4ビットカウンタ部1からのセット信号の入力時に4ビットアップ／ダウンカウンタ3が出力しているカウント値（4ビットデータ）を保持し、後段の比較器5に出力する。カウンタ3がアップカウンタとして機能している時において当該カウンタ3のカウント値（4ビットデータ）が予め決めた上限値（4ビットデータ）に等しくなった場合には、以後、セット信号の入力を受けても保持している値を更新せず、上記カウント値が上限値に等しくなった時から始動する第1内蔵カウンタ（図5に示すカウンタ4fがこれに相当する）が第1予定値にまでカウントアップするまでの時間（第1予定時間）、上限値であるカウント値を継続的に出力する。また、上記第1内蔵カウンタ（図5に示すカウンタ4fがこれに相当する）のカウント値（4ビットデータ）が第1予定値（4ビットデータ）になった場合には、4ビットアップ／ダウンカウンタ3に出力しているアップ／ダウン制御信号をLowレベルに切り換えると共に、セット信号の入力に応じて、保持しているカウント値を上記カウンタ3の出力しているカウント値に更新する。

【0021】

他方、カウンタ3がダウンカウンタとして機能している時においてカウンタ3のカウント値（4ビットデータ）が予め決めた下限値（4ビットデータ）に等しくなった場合には、以後、セット信号の入力を受けても保持している値を更新せず、上記カウント値が下限値に等しくなった時から始動する第2内蔵カウンタ（図5に示すカウンタ4iがこれに相当する）が第2予定値にまでカウントアップするまでの時間（第2予定時間）、上記下限値を継続的に出力する。また、上記第2内蔵カウンタ（図5に示すカウンタ4iがこれに相当する）のカウント値（4ビットデータ）が第2予定値（4ビットデータ）になった場合には、4ビットアップ／ダウンカウンタ3に出力しているアップ／ダウン制御信号をHighレベルに切り換えると共に、セット信号の入力に応じて、保持しているカウント値を上記カウンタ3の出力しているカウント値に更新する。

【0022】

比較器5は、4ビットカウンタ部1の出力するカウント値が4ビットレジスタ部4の出力するカウント値よりも大きくなった時に、Highレベルのリセット

信号をフリップフロップ 6 に出力する。

【 0 0 2 3 】

フリップフロップ 6 は、4 ビットカウンタ部 1 からの H i g h レベルのセット信号の入力に応じてダイオード発光信号である P W M 信号の出力を開始し、上記比較器 5 から H i g h レベルのリセット信号の入力に応じて P W M 信号を L o w レベルに戻して発光を終わらせる。

【 0 0 2 4 】

図 3 は、図 2 に示した 4 ビットカウンタ部 1 の構成を示す図である。基準クロック信号 C L K は、4 ビットカウンタ 1 a に入力される。4 ビットカウンタ 1 a の出力端子（4 ビットデータを出力するバス）は、2 入力 N O R ゲート 1 b の一方の信号入力端子に接続されると共に、4 ビットレジスタ部 4 の信号入力端子に接続されている。N O R ゲート 1 b の残りの信号入力端子は接地されており、常に L o w レベルの 4 ビット信号 “ 0 0 0 0 ” がバス入力されている。

【 0 0 2 5 】

なお、上記 2 入力 N O R ゲート 1 b は、4 ビットデータ同士の否定論理和を求め、入力される 2 つの 4 ビットデータが共に “ 0 0 0 0 ” の場合にのみ H i g h レベルのセット信号（1 ビットデータ）を出力するものである。即ち、2 入力 N O R ゲート 1 b は、正確には、4 ビットカウンタ 1 a の出力する 4 ビットデータの内、最下位ビットのデータが一方の信号入力端子に入力され、残りの信号入力端子に “ 0 ” データの入力される 2 入力 N O R ゲートと、最下位から 2 ビット目のビットデータが一方の信号入力端子に入力され、残りの信号入力端子に “ 0 ” データの入力される 2 入力 N O R ゲートと、最下位から 3 ビット目のビットデータが一方の信号入力端子に入力され、残りの信号入力端子に “ 0 ” データの入力される 2 入力 N O R ゲートと、最上位ビットのデータが一方の信号入力端子に入力され、残りの信号入力端子に “ 0 ” データの入力される 2 入力 N O R ゲートと、これら 4 つの N O R ゲートの出力が入力される 4 入力 A N D ゲートで構成される。

【 0 0 2 6 】

同様に、以下に説明する回路において、入力端子にバス線の接続される論理ゲ

ートは、正確には、バスに流れるデータのビット数と同じ数の同一の論理ゲートであって、それぞれ対応するビットのデータ同士（最下位ビットのデータ同士、最下位より2ビット目のデータ同士、…という意味）が入力されるものと、これらの論理ゲートの出力の全論理積を求めるANDゲートで構成されることを意味するものとする。なお、以下の説明において該当する論理ゲートは、図4に示すANDゲート2b、及び、図5に示すANDゲート4j、4gである。

【0027】

図4は、図2に示した8ビットカウンタ部2の構成を示す図である。基準クロック信号CLKは、8ビットカウンタ2aに入力される。8ビットカウンタ2aの出力は、2入力ANDゲート2bの信号入力端子に接続されている。ANDゲート2bの残りの信号入力端子には、8ビットデータである勾配設定値が入力されている。ANDゲート2bは、入力される8ビットデータが完全に一致する場合にHighのリセット信号（1ビットデータ）を出力する。上述したように、ANDゲート2bは、正確には、対応する各ビットのデータが入力される8個のANDゲートと、当該8個のANDゲートの出力を入力とする8入力1出力のANDゲートで構成される。

【0028】

ANDゲート2bの出力端子は、4ビットアップ／ダウンカウンタ3のクロック信号入力端子に接続されると共に、8ビットカウンタ2aのリセット信号入力端子に接続されている。カウンタ2aの出力するカウント値が勾配設定値と一致した場合、ANDゲート2bの出力信号がHighレベルに切り換る。これに伴い、8ビットカウンタ2aがリセットされ、ANDゲート2bの出力する信号がLowレベルに戻る。

【0029】

図5は、4ビットレジスタ部4の構成を示す図である。4ビットアップ／ダウンカウンタ3の出力信号（4ビットデータ）は、比較器4bの負の信号入力端子、比較器4cの正の信号入力端子、及び、レジスタ4eのデータ入力端子に接続される。比較器4bの正の信号入力端子には、上限値を表す4ビットデータが入力される。比較器4bは、4ビットアップ／ダウンカウンタ3の出力が上限値以

下の間、H i g hレベルの比較結果信号（1ビットデータ）を出力する。また、比較器 4 c の負の信号入力端子には、下限値を表す4ビットデータが入力される。比較器 4 c は、4ビットアップ／ダウンカウンタ 3 の出力が下限値以上の間、H i g hレベルの比較結果信号（1ビットデータ）を出力する。

【0030】

4ビットカウンタ部 1 のセット信号（1ビットデータ）は、2入力ANDゲート 4 a の一方の信号入力端子に接続されている。ANDゲート 4 a の残りの信号入力端子は、2入力ANDゲート 4 d の出力端子に接続されている。比較器 4 b の信号出力端子は、上記2入力ANDゲート 4 d の一方の信号入力端子に接続されると共に、カウンタ 4 f のイネーブル端子Eに接続されている。また、比較器 4 c の信号出力端子は、上記ANDゲート 4 d の残りの信号入力端子に接続されると共に、カウンタ 4 i のイネーブル端子Eに接続される。

【0031】

上記構成において、ANDゲート 4 d は、4ビットアップ／ダウンカウンタ 3 の出力するカウント値が上限値及び下限値の間にある時には、H i g hレベルの信号を出力する。一方、カウンタ 3 のカウント値が上限値を超えた場合、または、カウント値が下限値を下回った場合にL o wレベルの信号を出力する。ANDゲート 4 d がH i g hレベルの信号を出力している場合、ANDゲート 4 a は、4ビットカウンタ部 1 のセット信号の入力に応じてレジスタ 4 e のイネーブル端子EにH i g hレベルの信号を出力する。レジスタ 4 e は、上記H i g hレベルの信号をイネーブル端子Eに受けた時に信号入力端子より入力されているカウント値を保持し、保持したデータを比較器 5 に出力する。

【0032】

ANDゲート 4 a は、ANDゲート 4 d がL o wレベルの信号を出力している場合、即ち、4ビットアップ／ダウンカウンタ 3 の出力するカウント値が上限値を超えた場合又は下限値を下回った場合には、4ビットカウンタ部 1 からのH i g hレベルのセット信号の入力によらず、継続的にL o wレベルの信号を出力する。この構成により、カウント値が上限値を超えた場合、又は下限値を下回ってからは、レジスタ 4 e の保持データが更新されないことになる。

【0033】

カウンタ 4 f は、カウンタ 3 の出力するカウント値が上限値を超えた場合、即ち、イネーブル端子 E に比較器 4 b から H i g h レベルの信号が入力された場合にカウントアップを開始し、カウント値を 2 入力 AND ゲート 4 g の一方の信号入力端子に出力する。AND ゲート 4 g の残りの信号入力端子には、第 1 予定値が入力されている。AND ゲート 4 g は、カウンタ 4 f のカウント値が第 1 予定値と同じになった時に H i g h レベルの信号を次段のフリップフロップ 4 h のセット端子に出力する。フリップフロップ 4 h の出力反転信号が、4 ビットアップ／ダウンカウンタ 3 のアップ／ダウン制御信号入力端子に入力される。これにより、それまでアップカウンタとして機能していたカウンタ 3 がダウンカウンタとして機能するように切り換る。

【0034】

同様にカウンタ 4 i は、カウンタ 3 の出力するカウント値が下限値を下回った場合、即ち、イネーブル端子 E に比較器 4 c から H i g h レベルの信号が入力された場合にカウントアップを開始し、カウント値を 2 入力 AND ゲート 4 j の一方の信号入力端子に出力する。AND ゲート 4 j の残りの信号入力端子には、第 2 予定値が入力されている。AND ゲート 4 j は、カウンタ 4 i のカウント値が第 2 予定値と同じになった時に H i g h レベルの信号を次段のフリップフロップ 4 h のリセット端子に出力する。上記構成によりフリップフロップ 4 h からは、H i g h レベルの出力反転信号が 4 ビットアップ／ダウンカウンタ 3 のアップ／ダウン制御信号入力端子へと出力される。これにより、ダウンカウンタとして機能していたカウンタ 3 がアップカウンタとして機能するように切り換る。

【0035】

図 6 は、勾配設定値を“0000 0100”に設定した場合、即ち当該値により特定される発光ダイオードの発光デューティ比の増加するテンポを比較的速くした場合における、上記構成の PWM 信号発生回路 100 内の各信号の様子を表すタイムチャートである。

【0036】

また、図 7 は、勾配設定値を“0001 1000”に設定した場合、即ち当

該値により特定される発光ダイオードの発光デューティ比の増加するテンポを比較的遅くした場合における、上記構成のPWM信号発生回路100内の各信号の様子を表すタイムチャートである。

【0037】

図6及び図7を比較すればわかるように、勾配設定値を変えることにより、セット信号の出力される周期内でPWM信号がHighレベルにある期間の増加及び減少率を調節することができる。

【0038】

また、図6及び図7に示すように、4ビットカウンタ部1の出力するHighレベルのパルス状のセット信号の入力に応じて、フリップフロップ6は、PWM信号の信号レベルをHighレベルに切り換える。図1に示したように、HighレベルのPWM信号の入力を受けて、Nチャンネル型MOSFET101はオンして発光ダイオード102が発光する。また、4ビットレジスタ部4は、4ビットアップ／ダウンカウンタ3から出力されるカウント値を保持する。

【0039】

図6では、最初のセット信号の入力に応じて“0100”が保持されたことを示す。また、次のセット信号の入力に応じて“0111”が保持されたことを示す。

【0040】

また、図7では、最初のセット信号の入力に応じて“0000”が保持されたことを示す。また、次のセット信号の入力に応じて“0001”が保持されたことを示す。4ビットレジスタ部4では、上記保持したカウント値と同じ値に上記4ビットカウンタ部1の出力するカウント値が成るのを待って、PWM信号をLowレベルに戻す。

【0041】

図8は、図6に示した状態で動作するPWM信号発生回路100の出力するPWM信号により特定される4ビットカウンタ1の1サイクル当たりの発光時間LTの変化を表すグラフである。本実施例では、上限値はLTa、下限値はLTbに設定した。また、第1予定値は時間t1が経過するだけのカウント値にし、第

2 予定値は時間 t_2 が経過するだけのカウント値に設定した。

【0 0 4 2】

また、図 9 は、図 7 に示した状態で動作する P W M 発生回路 1 0 0 の出力する P W M 信号により特定される 4 ビットカウンタ 1 の 1 サイクル当たりの発光時間 L T の変化を表すグラフである。本実施例では、上限値は L T _c、下限値は L T _d に設定した。第 1 予定値は時間 t_3 が経過するだけのカウント値にし、第 2 予定値は時間 t_4 が経過するだけのカウント値に設定した。

【0 0 4 3】

図 8 及び図 9 を比較すれば解るように、勾配設定値を大きくすることにより単位時間当たりの発光時間 L T の変化量を表す傾き θ_2 の値を θ_1 よりも小さくすることができる。

【0 0 4 4】

以上に説明したように、上記構成の P W M 発生回路 1 0 0 を用いれば、勾配設定値、上限値、下限値、第 1 設定値及び第 2 設定値を設定した後は、基準クロック信号 C L K を供給するだけで、即ち、C P U 1 5 0 には何の負担もかけずに、所望のテンポでかつ、所望の変化幅（上限値と下限値の差のこと）で所定時間（4 ビットカウンタの 1 サイクル当たり）の発光ダイオード 1 0 2 の発光時間を滑らかに増減させることができる。

【0 0 4 5】

また、デジタル信号を出力する回路素子だけで構成したことにより、D A C 等のアナログ信号を出力する回路素子を使用して発光時間を調節する場合に比べ、より安定した動作が望める。また、着信時のみに動作して電力を消費するため、節電機能等により電源がオフにされない限り、着信時以外も定常的に電力を消費する D A C 等を用いる場合に比べると消費電力が非常に少なく、バッテリー駆動される携帯電話機等の用途に適している。

【0 0 4 6】

更には、C P U 1 5 0 により勾配設定値、上限値、下限値、第 1 設定値及び第 2 設定値を種々変更することにより、より複雑な発光ダイオードの点灯及び消灯を確実かつ簡単に実現することができる。

【0047】

【発明の効果】

本発明のPWM信号発生回路は、所定の動作パラメータを設定後は、基準クロックを入力するだけで出力するPWM信号のデューティ比を滑らかに増減させることができる。これにより、当該PWM信号発生回路を制御するCPU等の演算装置の負担が少なくすむといった利点を持つ。また、デジタル信号を出力する回路素子だけで構成したことにより、DAC等のアナログ信号を出力する回路素子を使用して発光時間を調節する場合に比べ、より安定した動作が望める。また、着信時のみに動作して電力を消費するため、着信時以外も定常的に電力を消費するDAC等を用いる場合に比べると消費電力が非常に少なく、バッテリー駆動される携帯電話機の用途に適している。

【図面の簡単な説明】

【図1】 実施の形態に係るPWM信号発生回路を備えた発光回路を有する形態電話機の構成を示す図である。

【図2】 PWM信号発生回路の構成を示す図である。

【図3】 4ビットカウンタ部の構成を示す図である。

【図4】 8ビットカウンタ部の構成を示す図である。

【図5】 4ビットレジスタ部の構成を示す図である。

【図6】 PWM信号発生回路内の信号及び出力されるPWM信号のタイムチャートである。

【図7】 PWM信号発生回路内の信号及び出力されるPWM信号のタイムチャートである。

【図8】 PWM信号発生回路を構成する4ビットカウンタ1サイクル当たりの発光ダイオードの発光時間LTの時間変化を示すグラフである。

【図9】 PWM信号発生回路を構成する4ビットカウンタ1サイクル当たりの発光ダイオードの発光時間LTの時間変化を示すグラフである。

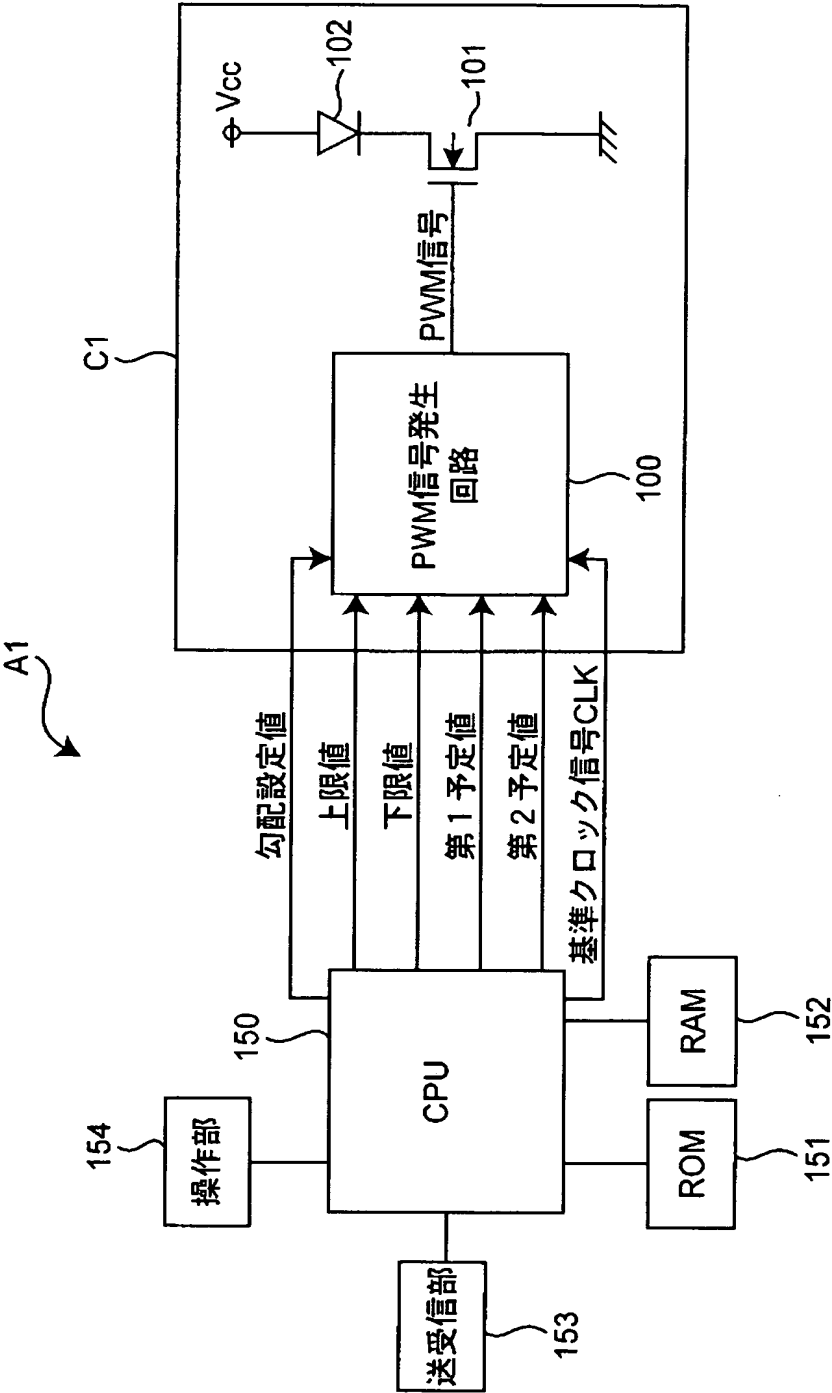
【図10】 従来のPWM信号発生回路を備える発光回路を有する形態電話機の構成を示す図である。

【符号の説明】 100 PWM信号発生回路、101 Nチャンネル型M

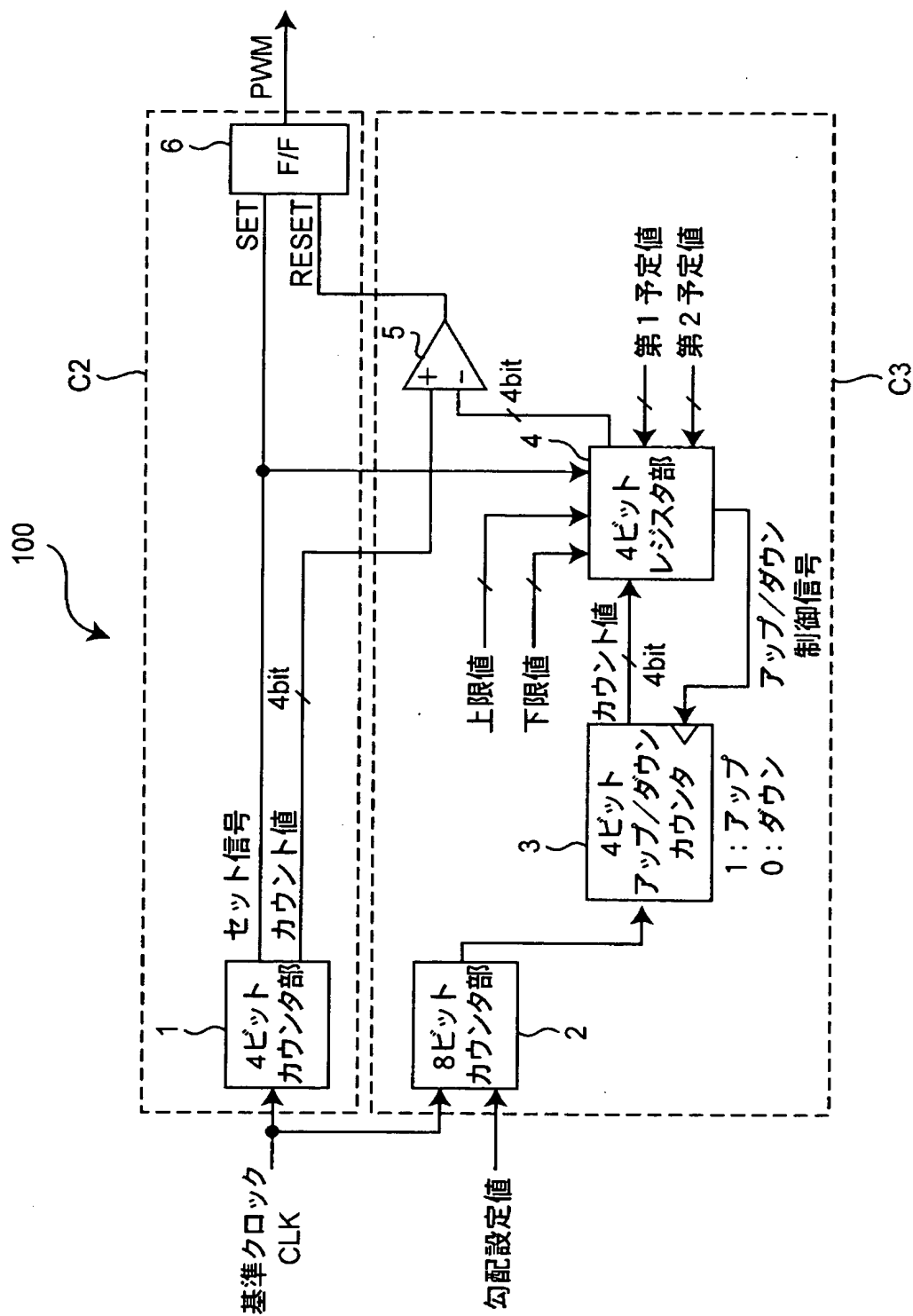
OSFET、102 発光ダイオード、150 CPU、151 ROM、152 RAM、153 送受信部、154 操作部、201 DAC、C1 発光回路、C2 第1カウンタ部、C3 第2カウンタ部。

【書類名】 図面

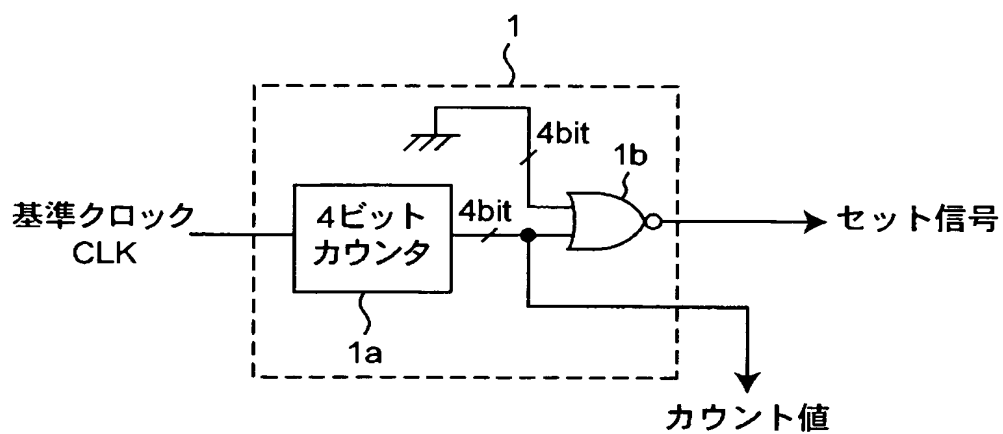
【図 1】



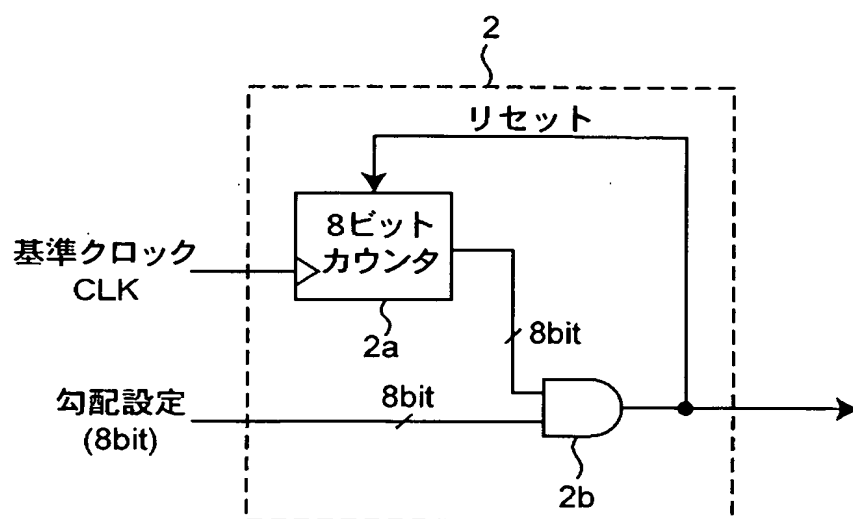
【図 2】



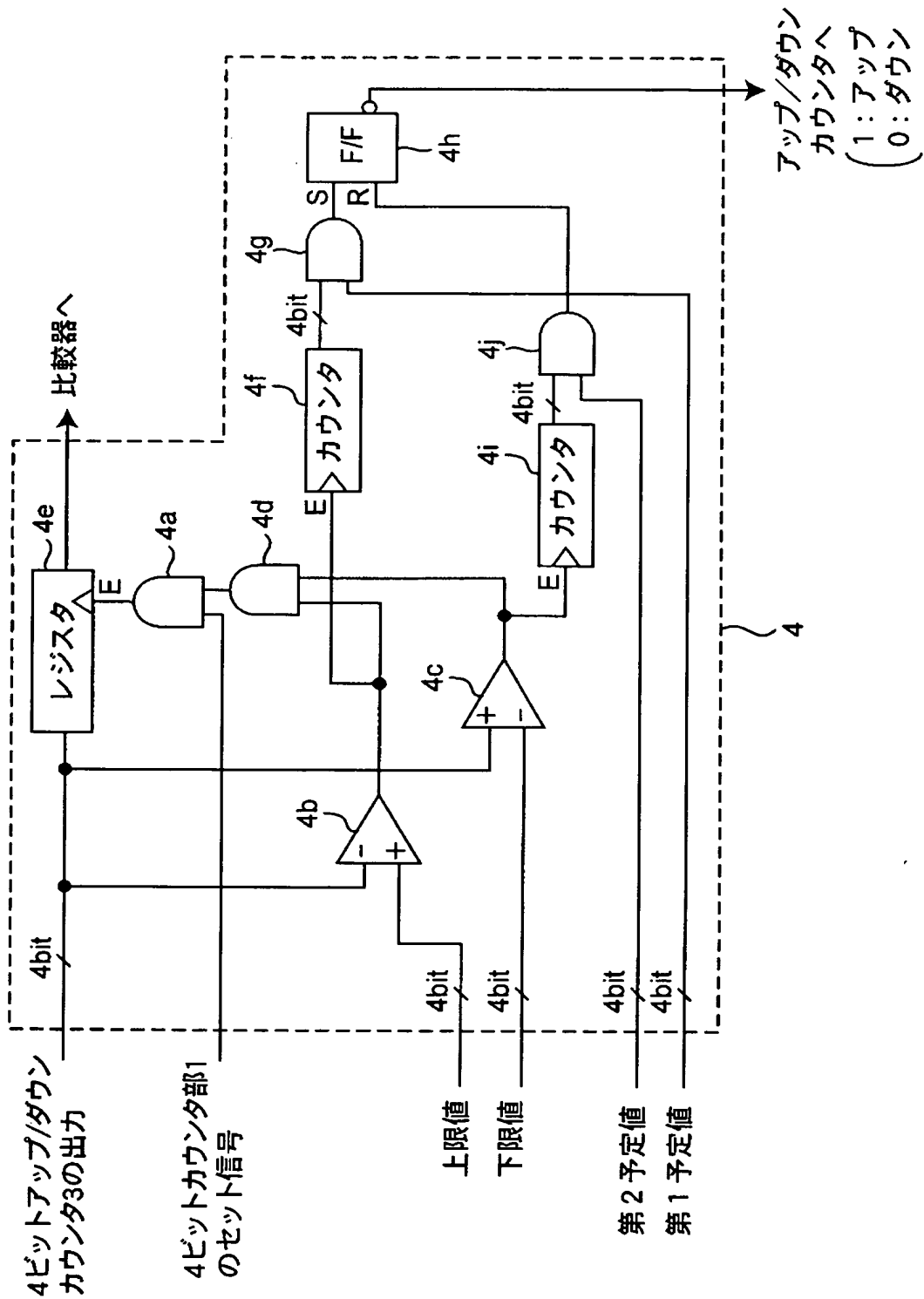
【図 3】



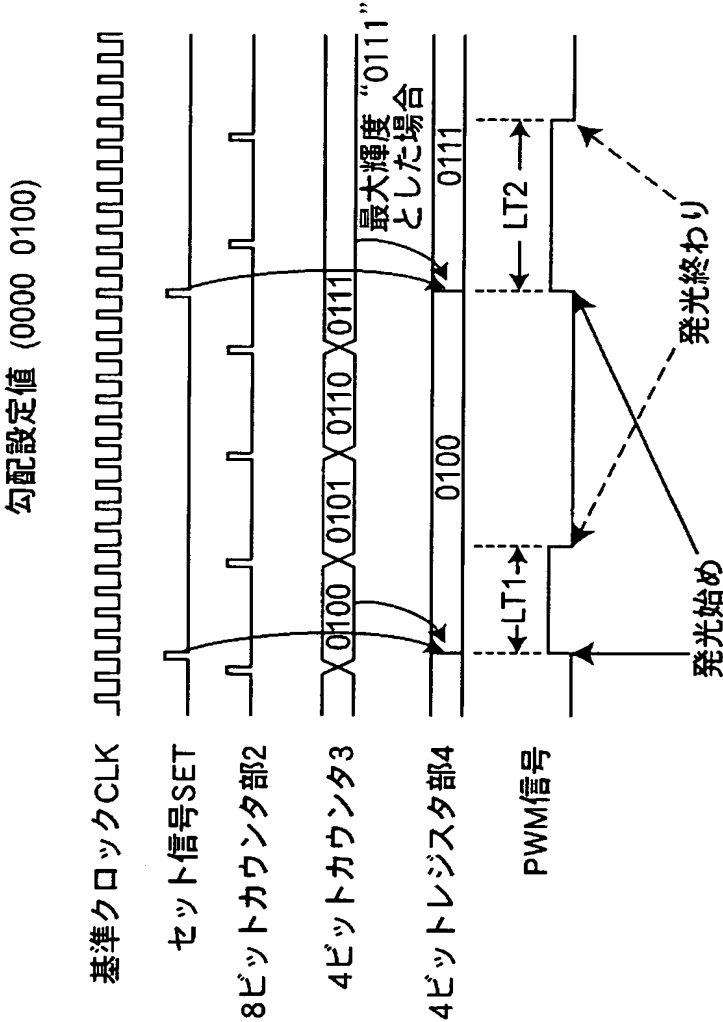
【図 4】



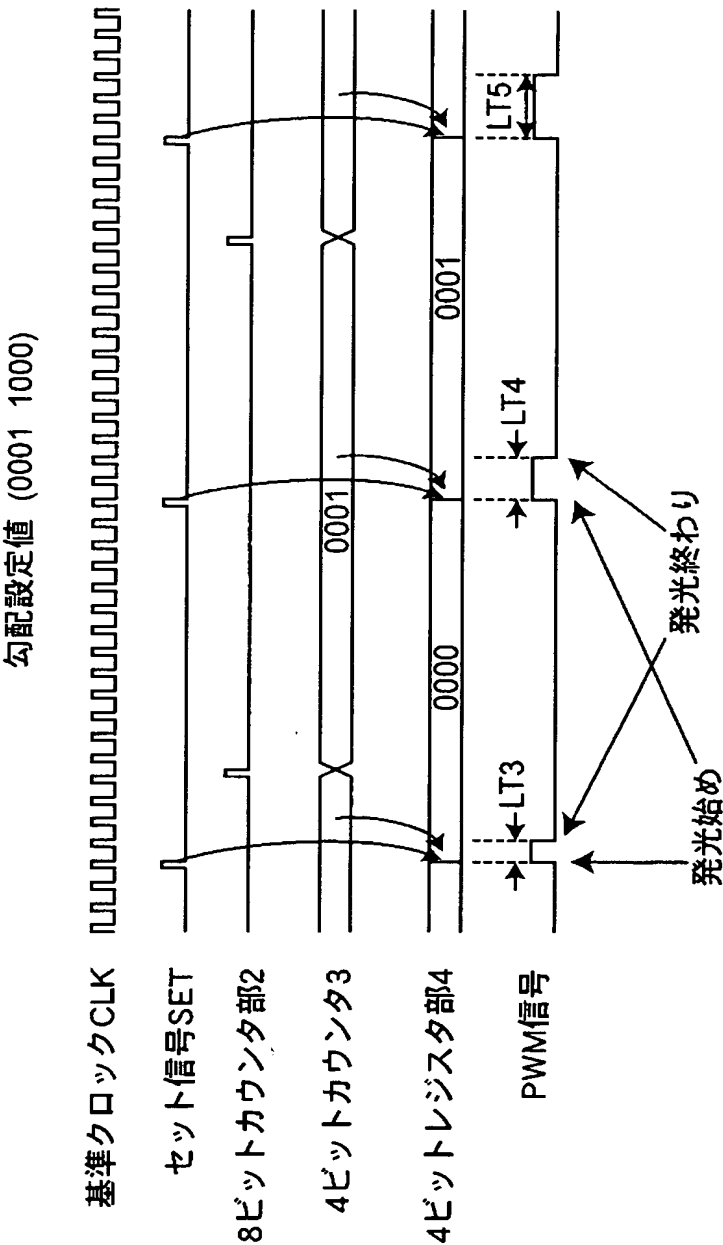
【図5】



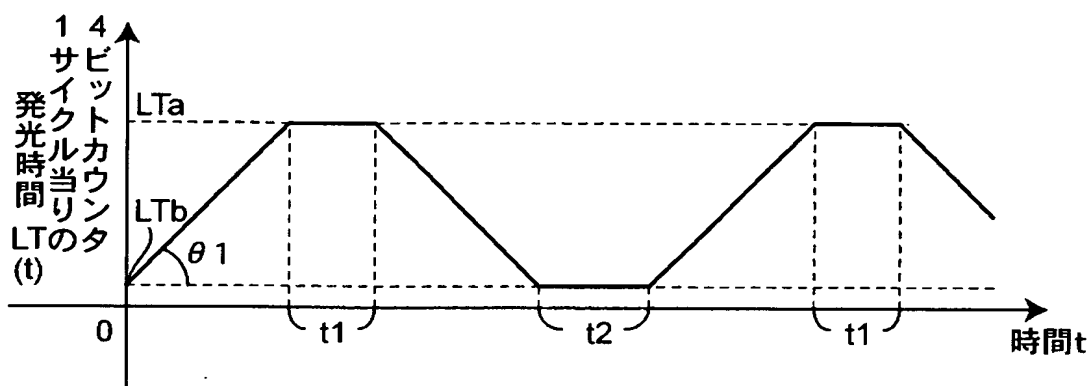
【図 6】



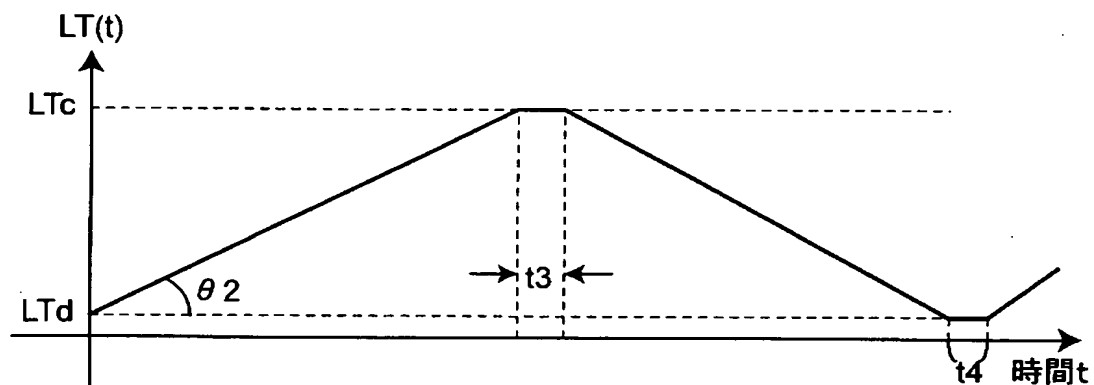
【図 7】



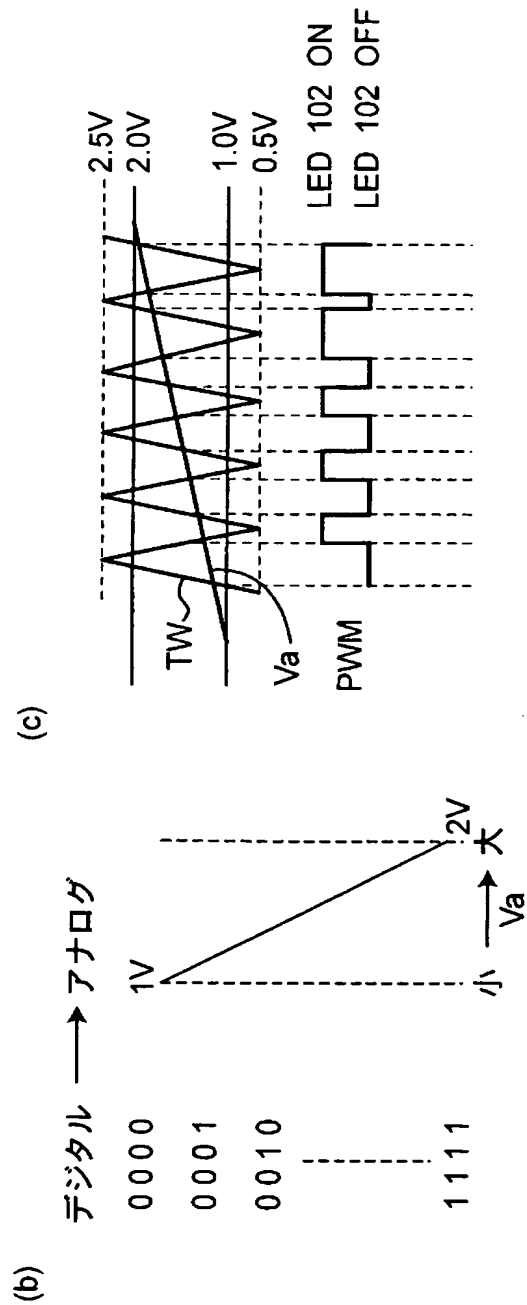
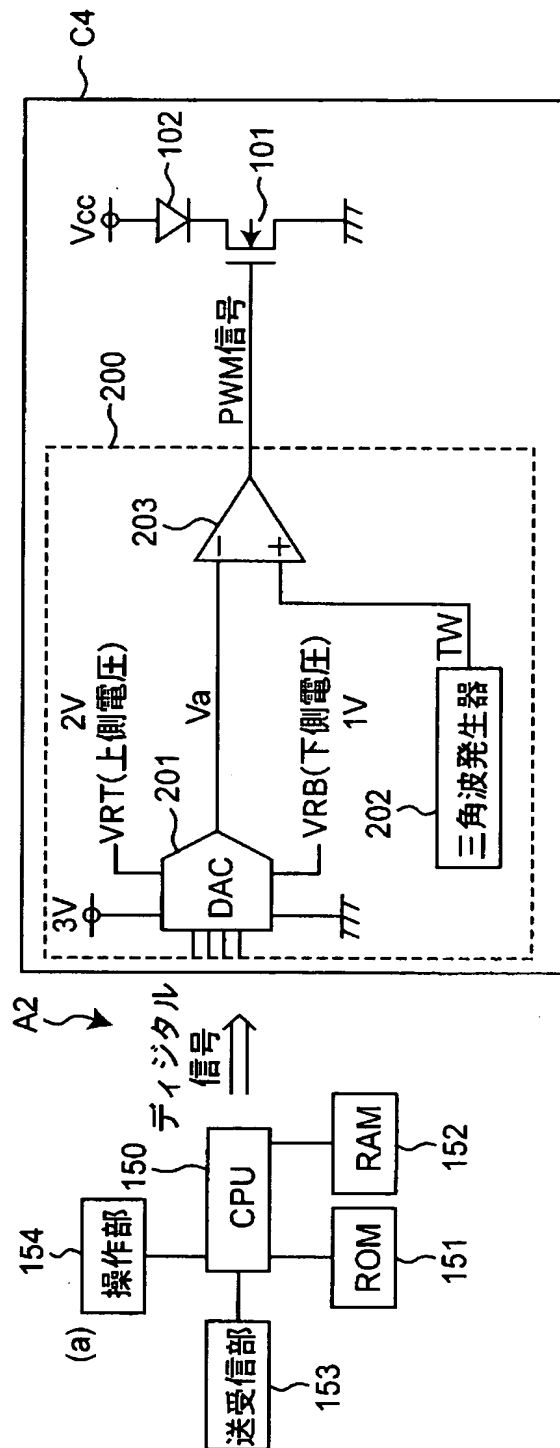
【図 8】



【図 9】



【図10】



【書類名】 要約書

【要約】

【課題】 低消費電力型で、かつ、同一条件下において、従来の P W M 信号発生回路 2 0 0 に比べて携帯電話機 A 2 本体の C P U 1 5 0 の処理能力の向上を必要とせずに、所定の周期 T の間において、より柔軟に所定の速さでデューティ比を増減させる安定した P W M 信号を出力する P W M 信号発生回路を提供する。

【解決手段】 本発明の P W M 信号発生回路は、デジタル信号を出力する回路素子だけで構成され、出力する P W M 信号を、周期的にアクティブに切り換える第 1 カウンタ回路と、上記第 1 カウンタ回路によりアクティブに切り換えられた P W M 信号を上記各周期内でノンアクティブに切り換える第 2 カウンタ回路であって、P W M 信号がアクティブに切り換ってからノンアクティブに切り換えるまでの期間を増減させる第 2 カウンタ回路とで構成される。

【選択図】 図 2

特願 2 0 0 2 - 3 3 8 1 2 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 6 7 4 7]

- | | |
|-----------|------------------------|
| 1 . 変更年月日 | 1 9 9 0 年 8 月 2 4 日 |
| [変更理由] | 新規登録 |
| 住 所 | 東京都大田区中馬込 1 丁目 3 番 6 号 |
| 氏 名 | 株式会社リコー |
| | |
| 2 . 変更年月日 | 2 0 0 2 年 5 月 1 7 日 |
| [変更理由] | 住所変更 |
| 住 所 | 東京都大田区中馬込 1 丁目 3 番 6 号 |
| 氏 名 | 株式会社リコー |